

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-209556

(43)Date of publication of application : 03.08.2001

(51)Int.Cl. G06F 11/22
G01R 31/28
G06F 11/25
G06F 11/28
G06F 17/50

(21)Application number : 2000-268615 (71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 05.09.2000 (72)Inventor : NATSUI SATOSHI
IKEDA SATORU

(30)Priority

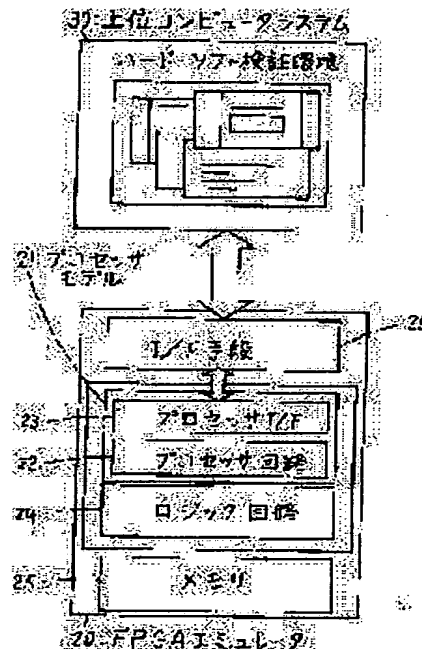
Priority number : 11328045 Priority date : 18.11.1999 Priority country : JP

(54) VERIFICATION SUPPORTING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a verification supporting system in which a coordinative verification between a hardware and a software is made possible while effectively using a high speed property of an FPGA(Field Programmable Gate Array) emulator.

SOLUTION: In the verification supporting system carrying out, on the FPGA emulator, a verification of an object logic circuit including a processor, a verifying logic depending on the processor is mapped to an FPGA existing in the FPGA emulator by a circuit description.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

than the examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-209556
(P2001-209556A)

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 6 F 11/22	3 4 0	G 0 6 F 11/22	3 4 0 A 2 G 0 3 2
G 0 1 R 31/28		11/28	3 1 5 A 5 B 0 4 2
G 0 6 F 11/25			3 2 0 A 5 B 0 4 6
11/28	3 1 5	17/50	6 6 4 P 5 B 0 4 8
	3 2 0		6 6 4 A

審査請求 未請求 請求項の数20 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-268615(P2000-268615)

(22) 出願日 平成12年9月5日(2000.9.5)

(31) 優先権主張番号 特願平11-328045

(32) 優先日 平成11年11月18日(1999.11.18)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000008507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 夏井 聡

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

(72) 発明者 池田 哲

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

Fターム(参考) 2C032 AA01 AC08 AE12 AL00

5B042 GA13 HH01 HH25 KK02 LA09

5B046 AA08 BA03 JA04

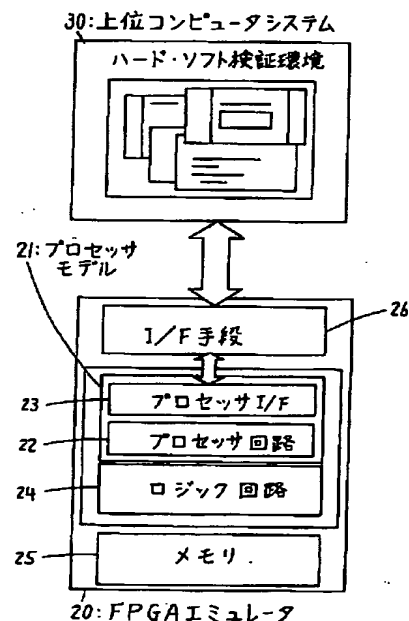
5B048 AA20 BB02 DD01 DD15

(54) 【発明の名称】 検証支援システム

(57) 【要約】

【課題】 FPGAエミュレータの高速性を生かしながら、ハードウェアとソフトウェアの協調検証を可能にした検証支援システムを実現する。

【解決手段】 プロセッサを含む対象論理回路の検証をFPGAエミュレータ上で実行する検証支援システムにおいて、FPGAエミュレータにあるFPGAに、プロセッサに依存する検証用論理を回路記述でマッピングした。



【特許請求の範囲】

【請求項1】 プロセッサを含む対象論理回路の検証をFPGAエミュレータ上で実行する検証支援システムにおいて、

前記FPGAエミュレータにあるFPGAに、プロセッサに依存する検証用論理を回路記述でマッピングしたことを特徴とする検証支援システム。

【請求項2】 プロセッサを含む対象論理回路の検証をFPGAエミュレータ上で実行する検証支援システムにおいて、

FPGAエミュレータのFPGAにマッピング可能なプロセッサ回路と、

前記対象論理回路にある論理回路の中で前記プロセッサ回路以外の論理回路であるロジック回路と、

プロセッサ回路の論理回路から、1つもしくは複数の内部信号を組み合わせ、プロセッサが実行するアドレスを生成する実行アドレス生成手段と、

上位コンピュータシステムから指定され、ソフトウェアの検証を行うための1以上のブレイク条件を保持するブレイク条件格納手段と、

前記実行アドレス生成手段から生成される実行アドレスと前記ブレイク条件格納手段で保持した条件を比較する第1のコンパレータ群と、

この第1のコンパレータ群で比較を行った結果、実行アドレスが少なくとも1つのブレイク条件と一致した時にブレイク信号を生成するブレイク信号生成手段と、

このブレイク信号生成手段からのブレイク信号を受け、上位コンピュータシステムに通知するとともに、上位コンピュータシステムから送られた情報をFPGAエミュレータに通知するインターフェイス手段と、

プロセッサ回路及びロジック回路にクロックを供給し、前記ブレイク信号生成手段がブレイク信号を発生した時点でプロセッサ回路及びロジック回路へのクロック供給を停止し、上位コンピュータシステムからの再起動命令によりクロックを再供給するクロック生成手段と、を回路記述でFPGAにマッピングしたことを特徴とする検証支援システム。

【請求項3】 前記クロック生成手段をクロック生成回路としてインサートボード上に実装し、FPGAエミュレータのインサートボードインターフェイスを介して、インサートボードとFPGAエミュレータとを接続したことを特徴とする請求項2記載の検証支援システム。

【請求項4】 前記インターフェイス手段を介してプロセッサの内部状態を上位コンピュータシステムに通知することを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項5】 FPGAエミュレータに定義された汎用メモリと、

この汎用メモリのアドレスを示すカウンタと、を有し、

前記汎用メモリに実行アドレス生成手段からの実行アドレス情報とプロセッサが実行した命令情報の少なくとも一方を格納し、ブレイク時に汎用メモリからプロセッサの動作履歴であるトレース情報を引き出し、上位コンピュータシステムに転送することを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項6】 前記ブレイク条件格納手段に、前記プロセッサ回路からのバスアクセス条件をブレイク条件として追加することを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項7】 前記ブレイク条件格納手段に2つのアドレス情報を追加し、これら2つのアドレス情報で決まる範囲から外れた場合をブレイク条件として検出する第2のコンパレータを前記第1のコンパレータ群と並列に実装したことを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項8】 前記ブレイク条件格納手段に2つのアドレス情報を追加し、これら2つのアドレス情報で決まる範囲に入る場合をブレイク条件として検出する第2のコンパレータを前記第1のコンパレータ群と並列に実装したことを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項9】 プロセッサを含む対象論理回路の検証をFPGAエミュレータ上で実行する検証支援システムにおいて、

FPGAエミュレータにあるFPGAにマッピング可能で複数の命令を同時に実行するプロセッサ回路と、

前記対象論理回路にある論理回路の中でプロセッサ回路以外の論理回路であるロジック回路と、

プロセッサ回路の論理回路から、1つもしくは複数の内部信号を組み合わせることで、プロセッサが同時実行する命令に対してそれぞれ実行アドレスを生成する実行アドレス生成手段と、

上位コンピュータシステムから指定され、ソフトウェア検証を行うための1以上の条件を保持するブレイク条件格納手段と、

同時実行する命令の数に応じて複数設けられ、前記実行アドレス生成手段から生成される実行アドレスと前記ブレイク条件格納手段で保持した条件を比較する複数のコンパレータ群と、

複数のコンパレータ群で比較を行った結果、実行アドレスが少なくとも1つのブレイク条件と一致した時にブレイク信号を生成するブレイク信号生成手段と、

このブレイク信号生成手段からのブレイク信号を受け、上位コンピュータシステムに通知するとともに、上位コンピュータシステムから送られた情報をFPGAエミュレータに通知するインターフェイス手段と、プロセッサ回路及びその周辺回路にクロックを供給し、前記ブレイク信号生成手段がブレイク信号を発生した時点でプロセッサ回路及びその周辺回路へクロックを停止

し、上位コンピュータシステムからの再起動命令によりクロックを再供給するクロック生成手段と、を回路記述でFPGAにマッピングしたことを特徴とする検証支援システム。

【請求項10】 前記クロック生成手段をクロック生成回路としてインサートキットボード上に実装し、FPGAエミュレータのインサートキットインターフェイスを介して、インサートキットボードとFPGAエミュレータとを接続したことを特徴とする請求項9記載の検証支援システム。

【請求項11】 上位コンピュータシステムに実装され、ソフトウェアのコードから実行アドレス及びデータの条件を算出し、ソースコード検証、プロセッサのレジスタ表示、アセンブラコードへの逆変換を含む検証を行うソフトウェア検証手段を有し、

前記インターフェイス手段を介してソフトウェア検証手段とFPGAにマッピングした検証用論理とをインターフェイスすることを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項12】 前記ブレイク信号生成手段のブレイク条件に、1つまたは複数の命令実行単位での停止条件を加えたことを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項13】 クロック生成手段またはクロック生成回路が1つまたは複数のクロックを発生する毎にクロック発生を停止させるブレイク条件を前記ブレイク信号生成手段に追加したことを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項14】 前記プロセッサの内部情報を第1のメモリに随時コピーしていく第1のコピー手段をFPGAエミュレータに実装し、所定のタイミングで第1のメモリの内部情報をまとめて上位コンピュータシステムに転送することを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項15】 前記インターフェイス手段から随時送られてくるブレイク情報を蓄える第2のメモリと、所定のタイミングで第2のメモリに蓄えたブレイク情報をまとめて前記ブレイク条件格納手段にコピーする第2のコピー手段と、をFPGAエミュレータにマッピングしたことを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項16】 前記第1のメモリと第2のメモリを1つのメモリで代用したことを特徴とする請求項14及び請求項15記載の検証支援システム。

【請求項17】 複数のプロセッサを含む論理回路を検証対象とし、各プロセッサに対し、前記プロセッサ回路、実行アドレス生成手段、ブレイク条件格納手段及び第1のコンパレータ群を実装し、各プロセッサに共通に、前記クロック生成手段またはクロック生成回路、ブレイク信号生成手段及びインターフェイス手段を実装し

たことを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項18】 前記プロセッサ回路を実際のIC化されたプロセッサチップに置き換え、このプロセッサチップが内蔵しているデバッグ支援用回路を利用して、プロセッサ回路とFPGAにマッピングされている実行アドレス生成手段を接続したことを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項19】 前記プロセッサ回路、論理回路、実行アドレス生成手段、ブレイク条件格納手段、第1のコンパレータ群、ブレイク信号生成手段、インターフェイス手段、及び、クロック生成手段またはクロック生成回路を、1つもしくは複数のエミュレーション専用プロセッサにより構成されるエミュレータに実装したことを特徴とする請求項2または請求項3記載の検証支援システム。

【請求項20】 前記プロセッサ回路、ロジック回路、実行アドレス生成手段、ブレイク条件格納手段、第1のコンパレータ群、ブレイク信号生成手段、インターフェイス手段、及び、クロック生成手段またはクロック生成回路を、論理回路用シミュレータ上に実装したことを特徴とする請求項2または請求項3記載の検証支援システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、FPGA (Field Programmable Gate Array) をベースとしてハードウェアをエミュレーションする装置（以下FPGAエミュレータとする）を利用した検証支援システムに関するものである。さらに詳しくは、FPGAエミュレータを用いてハードウェア検証やソフトウェア検証、あるいはハードウェアとソフトウェアの協調検証を可能にするための改良を施した検証支援システムに関するものである。

【0002】

【従来の技術】FPGAエミュレータは、FPGAがプログラマブル素子である特長を応用し、論理回路をアレイ状に配置されたFPGAにマッピングし、論理回路を高速にエミュレーションする装置である。パソコンやワークステーション上で動作する論理回路用シミュレータに比べて、FPGAエミュレータはFPGAでエミュレーションを行うため、1000倍以上高速な検証が可能と言われている。また、FPGAエミュレータは、ハードウェアが増大しても検証速度が低下しないという利点があり、システムLSIのような大規模ICのプロトタイプ検証には必須な装置である。FPGAエミュレータは、主にハードウェアの検証に利用される。

【0003】近年、半導体プロセスの微細化に伴い、ICに組み込まれる論理が膨大になっている。システムLSIでは、プロセッサを含みシステム全体の回路が1個のICに組み込まれ、従来のようなハードウェアの検証

だけでは不十分であり、ソフトウェアを含めたハードウェアとソフトウェアの協調検証が必要とされている。

【0004】FPGAエミュレータは、高速なハードウェアのプロトタイプ検証ができる反面、デバッグなどの検証機能に欠けるというデメリットがあった。FPGAエミュレータを用いて、ハードウェア検証だけでなくソフトウェア検証も行おうとすると、従来は次のような検証支援システムを構築していた。

【0005】(従来例1)図5は従来における検証支援システムの構成例を示した図である。図5の従来例では、プロセッサ以外の論理回路をFPGAエミュレータ1にあるFPGAに実装し、FPGAエミュレータ1の外部にICE2(Incircuit-Emulator)を接続することによりプロセッサ部分をエミュレーションする。ソフトウェアの検証は、ICE2に接続されるデバッグ3を使用する。FPGAエミュレータ1のFPGAにはプロセッサ以外の論理回路であるロジック回路4とメモリ5が実装されている。

【0006】(従来例2)図6は従来における検証支援システムの他の構成例を示した図である。図6の従来例では、上位コンピュータシステムシステム6とFPGAエミュレータ1を接続している。プロセッサ固有の命令実行部分を上位コンピュータシステムシステム6の命令セットシミュレータ7(Instruction Set Simulator)に実装する。FPGAエミュレータ1には、命令セットシミュレータ7以外のプロセッサの論理回路と、プロセッサの外部バス制御回路を実装する。これらの回路は論理回路8である。そして、FPGAエミュレータ1と命令セットシミュレータ7による協調シミュレーションを実行する。ソフトウェアの検証環境は、命令セットシミュレータ7に実装する。

【0007】しかし、従来例1では次の問題点があった。

①FPGAエミュレータ1の外部にICE2を接続しているため、検証対象となるプロセッサがIC化されたプロセッサに限定される。一般に、システムLSI用のプロセッサコアはIC内に部品として配置されるため、ICEとして使われるIC化されたプロセッサと同機能であっても、タイミングやクロック制御、バス制御には違いがある。従って、実際の使用状態とは異なっている。

【0008】②FPGAエミュレータは高速であるが、それでも動作周波数は1MHz程度である。しかし、ほとんどのICEは、このような周波数での動作を保証していない。

【0009】③FPGAエミュレータとICEをケーブルにより接続しているため、コネクタや半田付け部分での信号の歪み、信号のタイミングずれ、ノイズ等が原因となって動作が不安定になることがある。

【0010】④実際のソフトウェアの検証では、ICEにおけるブレークは、プロセッサのアドレスがブレーク

ポイントに達した時点で、割り込みを発生し、割り込み処理の中でデバッグを起動する。ブレークポイントに達してもプロセッサに供給されるクロックは、停止することはない。そのため、プロセッサ以外の他の回路のクロックも停止することはない。例えば、通信などの検証では、ソフトウェアを検証するためにブレークしても、ハードウェアはプロセッサのブレークにかかわらず動作するため、結果として、通信エラーなどの状態になり、ブレーク後に再起動をして検証することができない。

【0011】従来例2では次の問題点があった。FPGAエミュレータとシミュレータによる協調シミュレーションを行っているため、FPGAエミュレータとシミュレータ間で同期を取る必要があり、1MHz前後のエミュレータ検証速度が、1KHz程度に減速してしまい、実用的ではなかった。

【0012】

【発明が解決しようとする課題】本発明は上述した問題点を解決するためになされたものであり、FPGAエミュレータにあるFPGAに、プロセッサに依存する検証用論理を回路記述でマッピングすることによって、FPGAエミュレータにソフトウェア検証機能を持たせ、FPGAエミュレータの高速性を生かしながら、ハードウェアとソフトウェアの協調検証を可能にした検証支援システムを実現することを目的とする。

【0013】

【課題を解決するための手段】本発明は次のとおりの構成になった検証支援システムである。

【0014】(1)プロセッサを含む対象論理回路の検証をFPGAエミュレータ上で実行する検証支援システムにおいて、前記FPGAエミュレータにあるFPGAに、プロセッサに依存する検証用論理を回路記述でマッピングしたことを特徴とする検証支援システム。

【0015】(2)プロセッサを含む対象論理回路の検証をFPGAエミュレータ上で実行する検証支援システムにおいて、FPGAエミュレータのFPGAにマッピング可能なプロセッサ回路と、前記対象論理回路にある論理回路の中で前記プロセッサ回路以外の論理回路であるロジック回路と、プロセッサ回路の論理回路から、1つもしくは複数の内部信号を組み合わせ、プロセッサが実行するアドレスを生成する実行アドレス生成手段と、上位コンピュータシステムから指定され、ソフトウェアの検証を行うための1以上のブレーク条件を保持するブレーク条件格納手段と、前記実行アドレス生成手段から生成される実行アドレスと前記ブレーク条件格納手段で保持した条件を比較する第1のコンパレータ群と、この第1のコンパレータ群で比較を行った結果、実行アドレスが少なくとも1つのブレーク条件と一致した時にブレーク信号を生成するブレーク信号生成手段と、このブレーク信号生成手段からのブレーク信号を受け、上位コンピュータシステムに通知するとともに、上位コンピュー

タシステムから送られた情報をFPGAエミュレータに通知するインターフェイス手段と、プロセッサ回路及びロジック回路にクロックを供給し、前記ブレーク信号生成手段がブレーク信号を発生した時点でプロセッサ回路及びロジック回路へのクロック供給を停止し、上位コンピュータシステムからの再起動命令によりクロックを再供給するクロック生成手段と、を回路記述でFPGAにマッピングしたことを特徴とする検証支援システム。

【0016】(3) 前記クロック生成手段をクロック生成回路としてインサートキットボード上に実装し、FPGAエミュレータのインサートキットインターフェイスを介して、インサートキットボードとFPGAエミュレータとを接続したことを特徴とする(2)記載の検証支援システム。

【0017】(4) 前記インターフェイス手段を介してプロセッサの内部状態を上位コンピュータシステムに通知することを特徴とする(2)または(3)記載の検証支援システム。

【0018】(5) FPGAエミュレータに定義された汎用メモリと、この汎用メモリのアドレスを示すカウンタと、を有し、前記汎用メモリに実行アドレス生成手段からの実行アドレス情報とプロセッサが実行した命令情報の少なくとも一方を格納し、ブレーク時に汎用メモリからプロセッサの動作履歴であるトレース情報を引き出し、上位コンピュータシステムに転送することを特徴とする(2)または(3)記載の検証支援システム。

【0019】(6) 前記ブレーク条件格納手段に、前記プロセッサ回路からのバスアクセス条件をブレーク条件として追加することを特徴とする(2)または(3)記載の検証支援システム。

【0020】(7) 前記ブレーク条件格納手段に2つのアドレス情報を追加し、これら2つのアドレス情報で決まる範囲から外れた場合をブレーク条件として検出する第2のコンパレータを前記第1のコンパレータ群と並列に実装したことを特徴とする(2)または(3)記載の検証支援システム。

【0021】(8) 前記ブレーク条件格納手段に2つのアドレス情報を追加し、これら2つのアドレス情報で決まる範囲に入る場合をブレーク条件として検出する第2のコンパレータを前記第1のコンパレータ群と並列に実装したことを特徴とする(2)または(3)記載の検証支援システム。

【0022】(9) プロセッサを含む対象論理回路の検証をFPGAエミュレータ上で実行する検証支援システムにおいて、FPGAエミュレータにあるFPGAにマッピング可能で複数の命令を同時に実行するプロセッサ回路と、前記対象論理回路にある論理回路の中でプロセッサ回路以外の論理回路であるロジック回路と、プロセッサ回路の論理回路から、1つもしくは複数の内部信号を組み合わせることで、プロセッサが同時実行する命

令に対してそれぞれ実行アドレスを生成する実行アドレス生成手段と、上位コンピュータシステムから指定され、ソフトウェア検証を行うための1以上の条件を保持するブレーク条件格納手段と、同時実行する命令の数に応じて複数設けられ、前記実行アドレス生成手段から生成される実行アドレスと前記ブレーク条件格納手段で保持した条件を比較する複数のコンパレータ群と、複数のコンパレータ群で比較を行った結果、実行アドレスが少なくとも1つのブレーク条件と一致した時にブレーク信号を生成するブレーク信号生成手段と、このブレーク信号生成手段からのブレーク信号を受け、上位コンピュータシステムシステムに通知するとともに、上位コンピュータシステムから送られた情報をFPGAエミュレータに通知するインターフェイス手段と、プロセッサ回路及びその周辺回路にクロックを供給し、前記ブレーク信号生成手段がブレーク信号を発生した時点でプロセッサ回路及びその周辺回路へクロックを停止し、上位コンピュータシステムからの再起動命令によりクロックを再供給するクロック生成手段と、を回路記述でFPGAにマッピングしたことを特徴とする検証支援システム。

【0023】(10) 前記クロック生成手段をクロック生成回路としてインサートキットボード上に実装し、FPGAエミュレータのインサートキットインターフェイスを介して、インサートキットボードとFPGAエミュレータとを接続したことを特徴とする(9)記載の検証支援システム。

【0024】(11) 上位コンピュータシステムに実装され、ソフトウェアのコードから実行アドレス及びデータの条件を算出し、ソースコード検証、プロセッサのレジスタ表示、アセンブラコードへの逆変換を含む検証を行うソフトウェア検証手段を有し、前記インターフェイス手段を介してソフトウェア検証手段とFPGAにマッピングした検証用論理とをインターフェイスすることを特徴とする(2)または(3)記載の検証支援システム。

【0025】(12) 前記ブレーク信号生成手段のブレーク条件に、1つまたは複数の命令実行単位での停止条件を加えたことを特徴とする(2)または(3)記載の検証支援システム。

【0026】(13) クロック生成手段またはクロック生成回路が1つまたは複数のクロックを発生する毎にクロック発生を停止させるブレーク条件を前記ブレーク信号生成手段に追加したことを特徴とする(2)または(3)記載の検証支援システム。

【0027】(14) 前記プロセッサの内部情報を第1のメモリに随時コピーしていく第1のコピー手段をFPGAエミュレータに実装し、所定のタイミングで第1のメモリの内部情報をまとめて上位コンピュータシステムに転送することを特徴とする(2)または(3)記載の検証支援システム。

【0028】(15) 前記インタフェース手段から随時送られてくるブレイク情報を蓄える第2のメモリと、所定のタイミングで第2のメモリに蓄えたブレイク情報をまとめて前記ブレイク条件格納手段にコピーする第2のコピー手段と、をFPGAエミュレータにマッピングしたことを特徴とする(2)または(3)記載の検証支援システム。

【0029】(16) 前記第1のメモリと第2のメモリを1つのメモリで代用したことを特徴とする(14)及び(15)記載の検証支援システム。

【0030】(17) 複数のプロセッサを含む論理回路を検証対象とし、各プロセッサに対し、前記プロセッサ回路、実行アドレス生成手段、ブレイク条件格納手段及び第1のコンパレータ群を実装し、各プロセッサに共通に、前記クロック生成手段またはクロック生成回路、ブレイク信号生成手段及びインターフェイス手段を実装したことを特徴とする(2)または(3)記載の検証支援システム。

【0031】(18) 前記プロセッサ回路を実際のIC化されたプロセッサチップに置き換え、このプロセッサチップが内蔵しているデバッグ支援用回路を利用して、プロセッサ回路とFPGAにマッピングされている実行アドレス生成手段を接続したことを特徴とする(2)または(3)記載の検証支援システム。

【0032】(19) 前記プロセッサ回路、論理回路、実行アドレス生成手段、ブレイク条件格納手段、第1のコンパレータ群、ブレイク信号生成手段、インターフェイス手段、及び、クロック生成手段またはクロック生成回路を、1つもしくは複数のエミュレーション専用プロセッサにより構成されるエミュレータに実装したことを特徴とする(2)または(3)記載の検証支援システム。

【0033】(20) 前記プロセッサ回路、ロジック回路、実行アドレス生成手段、ブレイク条件格納手段、第1のコンパレータ群、ブレイク信号生成手段、インターフェイス手段、及び、クロック生成手段またはクロック生成回路を、論理回路用シミュレータ上に実装したことを特徴とする(2)または(3)記載の検証支援システム。

【0034】

【発明の実施の形態】以下図面を用いて本発明を詳しく説明する。図1は本発明の一実施例を示す構成図である。図1で、FPGAエミュレータ20にあるFPGAにはプロセッサモデル21が回路記述でマッピングしている。プロセッサモデル21は、オリジナルなプロセッサであるプロセッサ回路22、プロセッサインターフェイス(プロセッサI/Fとする)23及び検証ターゲットであるロジック回路24から構成される。ロジック回路24は、検証対象のプロセッサにある論理回路の中でプロセッサ回路22以外の論理回路である。ロジック回

路24には、例えば、ユーザロジックが搭載される。また、ロジック回路24は特定用途向けICであることがある。

【0035】FPGAエミュレータ20には、メモリ25とインタフェース手段(I/F手段)26が実装されている。メモリ25には、プロセッサが実行するプログラムやデータが格納される。一般に、メモリ25は、FPGAと緊密に接続されるが、FPGAにマッピングされることはほとんどない。I/F手段26は、FPGAエミュレータ20と上位コンピュータシステム30とを接続する。

【0036】上位コンピュータシステム30には、ハードウェアとソフトウェアの検証環境が実装されている。上位コンピュータシステム30は、I/F手段26を介することによって、エミュレータへの起動、プロセッサの内部状態の確認、ブレイク条件の設定等のソフトウェア検証と、ロジック回路24の内部信号やプロセッサへの割り込み信号等でブレイクするためのハードウェア検証が可能になる。

【0037】図2は図1のシステムの要部構成図である。図2で図1と同一のものは同一符号を付ける。図2で、プロセッサ回路22内のアドレス生成に必要な情報は、実行アドレス生成手段231に入り、プロセッサが実行する予定のアドレスとそのタイミング信号を生成する。実行アドレス情報は、第1のコンパレータ群232に格納され、命令実行タイミング信号Dは、ブレイク信号生成手段233に入力される。

【0038】一方、ブレイク条件は、インターフェイス手段26を介して第2のメモリ234に格納され、第2のコピー手段235によって、ブレイク条件格納手段233に保持される。保持されたブレイク条件は、第1のコンパレータ群232によって、実行アドレスと比較される。第1のコンパレータ群232にある各コンパレータは、条件が一致すると一致信号Eを生成し、ブレイク信号生成手段233に入力される。ブレイク条件格納手段233には1以上のブレイク条件が保持される。ブレイク信号生成手段236は、第1のコンパレータ群232で比較を行った結果、実行アドレスが少なくとも1つのブレイク条件と一致した時にブレイク信号を生成する。

【0039】ブレイク信号生成手段236には、上位コンピュータシステム30からのステップ指示信号Bによりステップ機能が指示される。ステップ機能が指示されると、実行アドレス生成手段231からの命令実行タイミング信号Dにより、プロセッサが命令実行毎にブレイクする、いわゆるステップ検証を実現する。

【0040】また、タイマー237は、あらかじめ上位コンピュータシステム30から指定され、定周期でエミュレータからコンピュータに割り込む機能を実現する。この機能により、ブレイク条件の設定ミス、プログラム

や論理回路の設計ミスなどにより、プロセッサがブレイク条件に到達できない場合でも、上位コンピュータシステム30から強制的にエミュレーションを停止させる機能が実現できる。

【0041】ブレイク条件生成手段233は、ステップ機能の指示、タイマー237による定周期割り込み、及び、第1のコンパレータ群232における一致検出の少なくとも1つ以上の条件が成立すると、ブレイク信号Aを生成し、I/F手段26を介して、上位コンピュータシステム30に割り込みと同時に、クロック生成手段238に対し、クロック停止を要求する。

【0042】クロック生成手段238は、ブレイク信号生成手段236からの停止指示と、I/F手段26を介した上位コンピュータシステム30からの再起動指示（再起動信号C）により、クロックの停止と再起動を繰り返す。クロック生成手段238は、プロセッサ回路22だけでなく、プロセッサ周辺のロジック回路24にもクロックを供給する。従って、プロセッサだけでなく、周辺回路のクロックの停止と起動の制御が可能になる。また、クロックがアクティブであれば、FPGAエミュレータ20は、本来の動作速度でエミュレーションしているため、エミュレーション速度が低下することはない。

【0043】プロセッサ内のレジスタ等の情報は、第1のコピー手段239を介して、第1のメモリ240に格納され、I/F手段26を介して上位コンピュータシステム30に通知される。

【0044】実行アドレス生成手段231、ブレイク条件格納手段233、第1のコンパレータ群232、クロック制御手段238より構成されるプロセッサに依存する検証用論理を、回路記述で表現しFPGAにマッピングしている。

【0045】ハードウェアとソフトウェアの検証環境からの標準的な操作手順は次のとおりになる。

(1) タイマー237等を初期化し、メモリ25にプログラムをダウンロードする。

(2) ブレイクポイントを設定する。

(3) ハードウェアのブレイク条件を設定する。

(4) エミュレーションを起動する。（再起動と同等である）

(5) ブレイク条件が成立したときに、ブレイク信号Aが発生する。このとき、エミュレーションを停止する。

(6) 検証環境により論理回路とソフトウェアを検証する。

(7) 必要に応じて、新たなブレイク条件を設定する。

(8) エミュレーションを再起動する。

(9) 再びブレイク信号が発生する。

(10) (7)～(9)の操作を繰り返す。ハードウェアのバグやソフトウェアのバグが発見されると、回路あるいはプログラムが変更され、FPGAヘデータを再マ

ッピング、あるいは、プログラムをメモリ25にダウンロードした後、(1)から操作を繰り返す。

【0046】図3は本発明の他の実施例を示す構成図である。この実施例は、複数のプロセッサによる、いわゆるマルチプロセッサにおいてもそれぞれのプロセッサに対し、ソフトウェアを検証できる。図の例では、2個のプロセッサを設けた場合を示している。プロセッサ毎にプロセッサ回路22A、22Bがそれぞれ設けられている。プロセッサインターフェイスをプロセッサ固有I/F手段23A、23Bと共通I/F手段27に分割し、FPGAにマッピングする。

【0047】プロセッサ固有I/F手段23A、23Bには、実行アドレス生成手段231、ブレイク条件格納手段233及び第1のコンパレータ群232がそれぞれ実装されている。共通I/F手段27には、クロック生成手段238、ブレイク信号生成手段236及びタイマー237が実装されている。

【0048】本発明は上述した実施例に限らず、様々な構成をとってもよい。他の構成例を説明する。

【0049】なお、FPGAエミュレータ20に汎用メモリを定義し、この汎用メモリのアドレスを示すカウンタを設けてもよい。汎用メモリに実行アドレス生成手段231からの実行アドレス情報またはプロセッサが実行した命令情報の少なくとも一方を格納し、ブレイク時に汎用メモリからプロセッサの動作履歴であるトレース情報を引き出し、上位コンピュータシステムに転送する。

【0050】また、ブレイク条件格納手段233に、プロセッサ回路22からのバスアクセス条件を追加し、実行アドレス以外のブレイク条件を設定してもよい。

【0051】また、ブレイク条件格納手段233に2つのアドレス情報を追加し、これら2つのアドレス情報で決まる範囲から外れた場合または2つのアドレス情報で決まる範囲に入る場合をブレイク条件として検出する第2のコンパレータを設け、第2のコンパレータを第1のコンパレータ群と並列に実装してもよい。

【0052】また、複数の命令を同時に実行するプロセッサを検証対象としてもよい。この場合、マッピングされたプロセッサ回路、コンパレータ群及びブレイク信号生成手段は、図1の実施例と次の点で異なる。プロセッサ回路は、複数の命令を同時に実行する。コンパレータ群は、同時実行する命令の数に応じて複数設ける。ブレイク信号生成手段は、複数のコンパレータ群で比較を行った結果、実行アドレスが少なくとも1つのブレイク条件と一致した時にブレイク信号を生成する。

【0053】また、上位コンピュータシステム30に実装され、ソフトウェアのコードから実行アドレス及びデータの条件を算出し、ソースコード検証、プロセッサのレジスタ表示、アセンブラコードへの逆変換を含む検証を行うソフトウェア検証手段を設け、このインターフェイス手段を介してソフトウェア検証手段とFPGAにマ

ッピングした検証用論理とをインターフェイスしてもよい。

【0054】また、ブレイク信号生成手段233のブレイク条件に、1つまたは複数の命令実行単位での停止条件を加えてもよい。

【0055】また、クロック生成手段238が1つまたは複数のクロックを発生する毎にクロック発生を停止させるブレイク条件をブレイク信号生成手段236に追加してもよい。

【0056】また、第1のコピー手段239は、プロセッサの内部情報を第1のメモリ240に随時コピーしていき、所定のタイミングで第1のメモリ240の内部情報をまとめて上位コンピュータシステム30に転送してもよい。I/F手段260の機能を第1のコピー手段239に置き換えている。これにより、第1のメモリ240に情報が格納される毎にI/F手段260を介して転送するのではなく、第1のメモリ240に所定量の情報が格納されたところで、情報をまとめて転送する。これにより、転送効率が向上する。転送の指令は上位コンピュータシステム30が行う。

【0057】また、第2のメモリ234は、インタフェース手段26から随時送られてくるブレイク情報を蓄え、第2のコピー手段235は、所定のタイミングで第2のメモリ234に蓄えたブレイク情報をまとめてブレイク条件格納手段233にコピーしてもよい。第1のコピー手段239と同様に、I/F手段260の機能を第2のコピー手段235に置き換え、転送効率を向上させている。

【0058】また、第1のメモリ240と第2のメモリ234を1つのメモリで代用してもよい。

【0059】また、複数のプロセッサを含む論理回路を検証対象とし、各プロセッサに対し、プロセッサ回路22、実行アドレス生成手段231、第1のコピー手段239、第1のメモリ240、第2のメモリ234、第2のコピー手段235、ブレイク条件格納手段233、第1のコンパレータ群232及び第2のコンパレータを実装し、各プロセッサに共通に、クロック生成手段238、ブレイク信号生成手段236及びインターフェイス手段26を実装してもよい。

【0060】また、プロセッサ回路22を実際のIC化されたプロセッサチップに置き換え、このプロセッサチップが内蔵しているデバッグ支援用回路を利用して、プロセッサ回路とFPGAにマッピングされている実行アドレス生成手段231を接続してもよい。

【0061】また、プロセッサ回路22、ロジック回路24、実行アドレス生成手段231、ブレイク条件格納手段233、第1のコンパレータ群232、ブレイク信号生成手段236、インターフェイス手段26及びクロック生成手段238を、1つもしくは複数のエミュレーション専用プロセッサにより構成されるエミュレータに

実装してもよい。

【0062】また、プロセッサ回路22、ロジック回路24、実行アドレス生成手段231、ブレイク条件格納手段233、第1のコンパレータ群232、ブレイク信号生成手段236、インターフェイス手段26及びクロック生成手段238を、論理回路用シミュレータ上に実装してもよい。

【0063】図4は本発明の他の実施例を示す構成図である。この実施例では、クロック生成手段をクロック生成回路41としてインサークットボード40上に実装している。FPGAエミュレータ20のインサークットインターフェイス28を介して、インサークットボード40とFPGAエミュレータ20とを接続している。ロジック回路42は、FPGAにマッピングできないIC部品およびその制御回路である。

【0064】クロック生成回路41は、インサークットインターフェイス28を介したFPGAエミュレータ20からの停止指示と再起動指示（停止／再起動制御信号）により、クロックの停止と再起動を繰り返す。クロック生成回路41は、インサークットインターフェイス（インサークットI/F）28を介してFPGAエミュレータ20上のプロセッサモデル21およびプロセッサ周辺のロジック回路24にクロックを供給する。また、同時にインサークットボード40上のロジック回路42にもクロックを供給する。従って、FPGAエミュレータ20上の回路だけでなく、インサークットボード40上のロジック回路42へのクロックの停止と起動の制御が可能になる。

【0065】なお、図4の実施例においても、複数の命令を同時に実行するプロセッサを検証対象としてもよい。この場合も次の構成をとる。プロセッサ回路は、複数の命令を同時に実行する。コンパレータ群は、同時実行する命令の数に応じて複数設ける。ブレイク信号生成手段は、複数のコンパレータ群で比較を行った結果、実行アドレスが少なくとも1つのブレイク条件と一致した時にブレイク信号を生成する。

【0066】

【発明の効果】本発明によれば次の効果が得られる。

【0067】請求項1の発明によれば次の効果が得られる。FPGAエミュレータにあるFPGAに、プロセッサに依存する検証用論理を回路記述でマッピングしている。これによって、従来ハードウェアの機能検証しかできなかったFPGAエミュレータで、エミュレーション速度を低下させることなく、ソフトウェアを含む検証が可能になる。また、ハードウェア検証を行う部分とソフトウェア検証を行う部分とをFPGAエミュレータと上位コンピュータシステムに入れたため、従来例に比べてケーブル接続部分が少なくなる。これによって、コネクタや半田付け部分での信号の歪み、信号のタイミングずれ等の発生が低減され、安定した動作を保証できる。さ

らに、1つの上位コンピュータシステム内でハードウェアとソフトウェアの協調検証ができるため、操作性が向上する。

【0068】請求項2の発明によれば請求項1で得られる効果に加えて次の効果が得られる。FPGAエミュレータがハードウェア検証機能を実装している場合、ロジック回路の内部信号やプロセッサへの割り込み信号によるブレークと本発明によるソフトウェア検証を組み合わせることによって、ハードウェアとソフトウェアの協調検証が可能なる。

【0069】請求項3および請求項10の発明によれば、クロック生成手段をクロック生成回路としてインサートキットボード上に実装しているため、IC部品しかない論理回路を含めた検証が可能になる。また、ブレーク発生時には、FPGAエミュレータ上の回路のみならず、インサートキットボード上の論理回路に対するクロック供給も停止するので、ブレーク後に再起動を行っても全回路の動作を継続できる。

【0070】請求項4の発明によれば、インターフェイス手段を介してプロセッサの内部状態を上位コンピュータシステムに通知することによって、プロセッサに依存する検証を効率化することができる。

【0071】請求項5の発明によれば、汎用メモリに実行アドレス生成手段からの実行アドレス情報またはプロセッサが実行した命令情報を格納し、ブレーク時に汎用メモリからプロセッサの動作履歴であるトレース情報を引き出し、上位コンピュータシステムに転送することにより、上位コンピュータシステム上の検証環境でトレース情報をもとにした検証が可能になる。

【0072】請求項6の発明によれば、ブレーク条件格納手段に、前記プロセッサ回路からのバスアクセス条件をブレーク条件として追加しているため、ブレーク機能を向上させることができる。

【0073】請求項7の発明では、ブレーク条件格納手段に2つのアドレス情報を追加し、これら2つのアドレス情報で決まる範囲から外れた場合ブレーク条件として検出する第2のコンパレータを第1のコンパレータ群と並列に実装している。

【0074】請求項8の発明では、ブレーク条件格納手段に2つのアドレス情報を追加し、これら2つのアドレス情報で決まる範囲に入る場合をブレーク条件として検出する第2のコンパレータを第1のコンパレータ群と並列に実装している。これによって、プロセッサが実行中のソフトウェア関数から他の関数に実行が移行した時のブレーク機能を実現できる。

【0075】請求項9の発明によれば、複数の命令を同時に実行するプロセッサに応じたプロセッサ回路と、コンパレータ群と、ブレーク信号生成手段とを設けているため、複数命令を同時に実行するプロセッサにおいても正しくブレーク機能を動作させることができる。

【0076】請求項11の発明によれば、インターフェイス手段を介してソフトウェア検証手段とFPGAにマッピングした検証用論理とをインターフェイスしているため、高速なエミュレーションとソフトウェア検証を両立させることができる。

【0077】請求項12の発明では、ブレーク信号生成手段のブレーク条件に、1つまたは複数の命令実行単位での停止条件を加えている。これにより、所定数の命令を実行する毎にソフトウェアの逐次的な検証が可能になる。また、この状態でハードウェアの状態を検証することも可能である。

【0078】請求項13の発明では、クロック生成手段が1つまたは複数のクロックを発生する毎にクロック発生を停止させるブレーク条件をブレーク信号生成手段に追加している。これによって、定周期で上位コンピュータシステムから割り込みがかけられ、ブレーク条件の設定ミス、プログラムやロジック回路の設計ミスなどにより、ブレーク条件にプロセッサが到達しない場合でも、上位コンピュータシステムから強制的にエミュレーションを停止させることができる。

【0079】請求項14の発明によれば、プロセッサの内部情報を第1のメモリに随時コピーしていく第1のコピー手段をFPGAに実装し、所定のタイミングで第1のメモリの内部情報をまとめて上位コンピュータシステムに転送している。これによって、上位コンピュータシステムへ転送するときの転送効率を向上できる。

【0080】請求項15の発明によれば、インターフェイス手段から随時送られてくるブレーク情報を第2のメモリに蓄え、蓄えたブレーク情報をまとめてブレーク条件格納手段にコピーしている。これによって、上位コンピュータシステムから転送するときの転送効率を向上できる。

【0081】請求項16の発明によれば、第1のメモリと第2のメモリを1つのメモリで代用しているため、メモリ資源の有効利用を実現できる。

【0082】請求項17の発明によれば、マルチプロセッサの検証用論理をFPGAにマッピングしているため、複数のプロセッサに依存する検証を同時に実現できる。

【0083】請求項18乃至請求項20の発明によれば、ソフトウェア検証をFPGAに限らずプロセッサチップ、エミュレーション専用プロセッサ及び論理回路用シミュレータで実行できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成図である。

【図2】図1のシステムの要部構成図である。

【図3】本発明の他の実施例を示す構成図である。

【図4】本発明の他の実施例を示す構成図である。

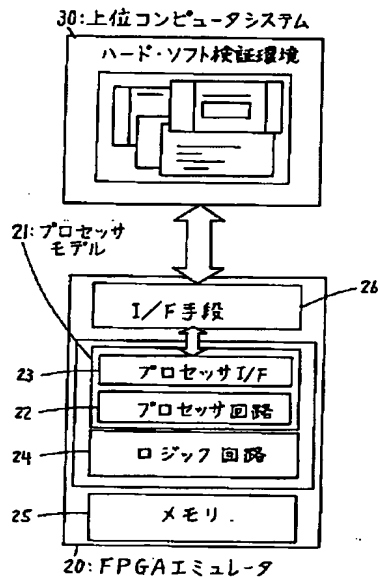
【図5】従来における検証支援システムの構成例を示した図である。

【図6】従来における検証支援システムの他の構成例を示した図である。

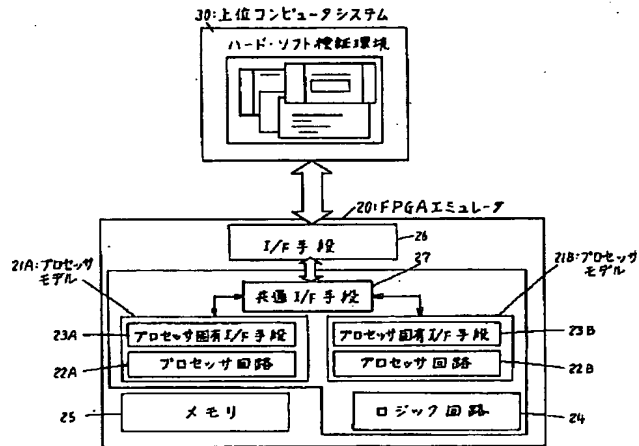
【符号の説明】

- | | | | |
|--------------|--------------|-----|------------|
| 20 | FPGAエミュレータ | 41 | クロック生成回路 |
| 22, 22A, 22B | プロセッサ回路 | 231 | 実行アドレス生成手段 |
| 23A, 23B | プロセッサ固有I/F手段 | 232 | 第1のコンパレータ群 |
| 26 | I/F手段 | 233 | ブレイク条件格納手段 |
| 27 | 共通I/F手段 | 234 | 第2のメモリ |
| 28 | インサートキットI/F | 235 | 第2のコピー手段 |
| 30 | 上位コンピュータシステム | 236 | ブレイク信号生成手段 |
| 40 | インサートキットボード | 237 | タイマー |
| | | 238 | クロック生成手段 |
| | | 239 | 第1のコピー手段 |
| | | 240 | 第1のメモリ |

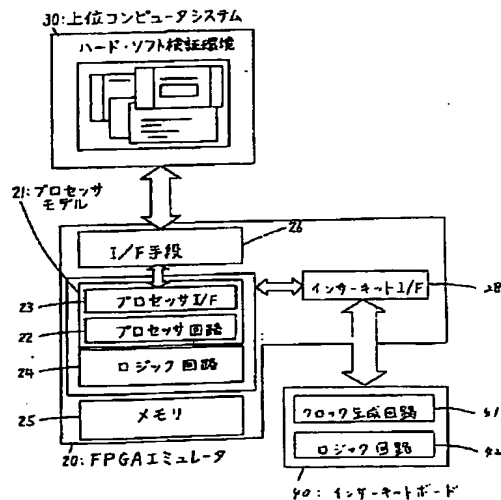
【図1】



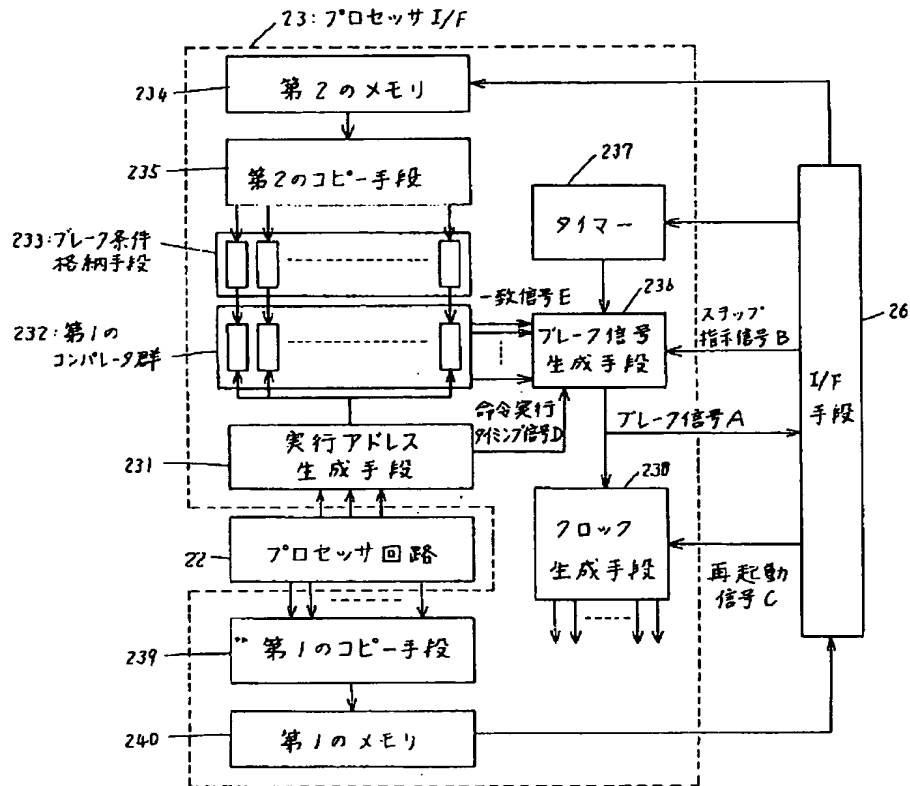
【図3】



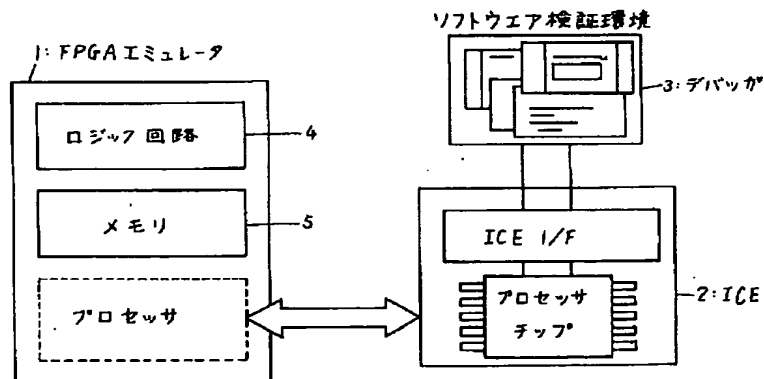
【図4】



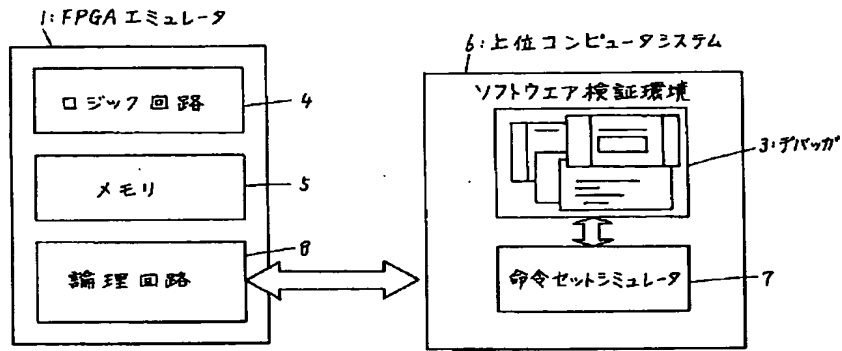
【図2】



【図5】



【図6】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ド (参考)
G 0 6 F 17/50	6 6 4	G 0 1 R 31/28	F
		G 0 6 F 11/26	3 1 0